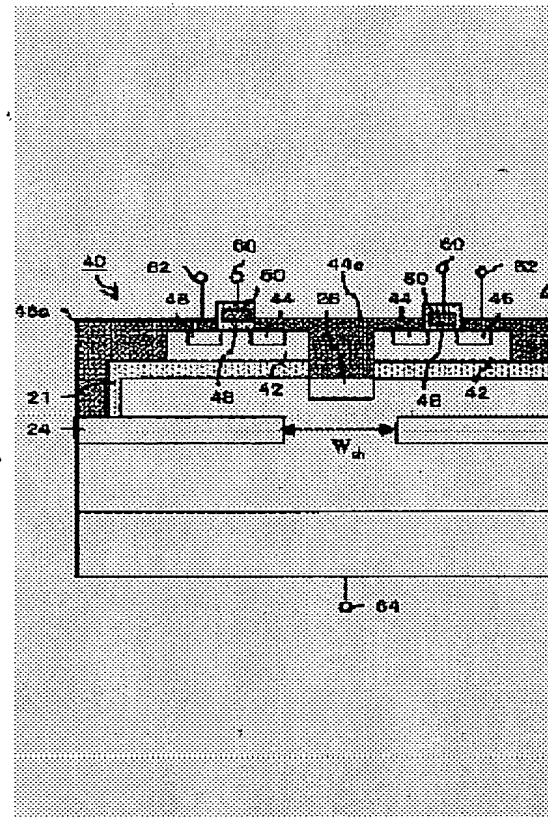


POWER SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**Patent number:** JP2002231820**Publication date:** 2002-08-16**Inventor:** YAMAMOTO TETSUYA**Applicant:** SANYO ELECTRIC CO LTD**Classification:****- international:** H01L21/8234; H01L27/06; H01L27/00; H01L27/088; H01L29/786; H01L29/78; H01L27/09
H01L29/80; H01L29/861**- european:****Application number:** JP20010021939 20010130**Priority number(s):****Abstract of JP2002231820**

PROBLEM TO BE SOLVED: To provide a power semiconductor device where on-resistance is low and normally-off operation can be performed.

SOLUTION: A normally-off type MOSFET 40 composed of Si is formed on a normally-on type JFET 20 composed of SiC, and the JFET 20 and the MOSFET 40 are electrically connected each other so that the normally-off operation can be performed using the whole power semiconductor device 100 and the JFET 20 portion can secure most of breakdown voltage. Thus, in the JFET 20 composed of SiC, the breakdown voltage can be made high. As a result, in comparison with the power semiconductor device composed of only Si, of the same breakdown voltage, the on-resistance can be made low as a whole, and the normally-off operation is performed as a whole and thus low power consumption of the whole circuit system can be realized.

**BEST AVAILABLE COPY**

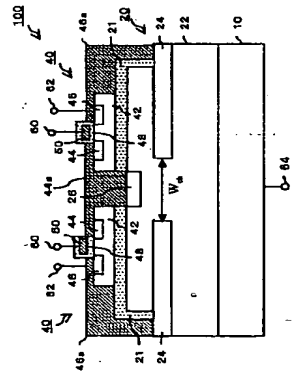
【特許請求の範囲】
【請求項1】 外部からの制御電圧に応じてオンオフするノーマリーオフ型の第1のゲート型半導体素子によりノーマリーオン型の第2のゲート型半導体素子のオンオフを制御してスイッチング動作を行なうパワー半導体装置であって、
前記第2のゲート型半導体素子は、炭化珪素の半導体基板に形成され炭化珪素からなり、前記第1のゲート型半導体素子は、前記半導体基板に形成され炭化珪素と異なる材料からなることを特徴とするパワー半導体装置。
【請求項2】 前記第1のゲート型半導体素子は、前記第2のゲート型半導体素子上に形成されていることを特徴とする請求項1に記載のパワー半導体装置。
【請求項3】 前記半導体基板の前記第2のゲート型半導体素子の形成面と異なる面に形成された第1の電極と、
前記第2のゲート型半導体素子上に形成され前記第1の電極と対となり前記第2のゲート型半導体素子から前記第1のゲート型半導体素子へ電流を取り出す第2の電極と、
【請求項4】 外部からの制御電圧に応じてオンオフするノーマリーオフ型のゲート型半導体素子と、前記ゲート型半導体素子と並列に接続された電流ダイオードとを備えるパワー半導体装置であって、
前記電流ダイオードは、炭化珪素の半導体基板に形成され炭化珪素からなり、前記ゲート型半導体素子は、前記半導体基板に形成され炭化珪素と異なる材料からなることを特徴とするパワー半導体装置。
【請求項5】 前記ゲート型半導体素子は、前記電流ダイオード上に形成されていることを特徴とする請求項4に記載のパワー半導体装置。
【請求項6】 一の導電型の半導体材料からなる第1半導体層内に他の導電型の半導体材料からなり所定距離を隔てて配置された二つの第2半導体層を備える半導体装置の製造方法であって、
前記一の導電型の半導体材料からなる第1半導体層を形成する第1半導体層形成工程と、
前記第1半導体層上に前記所定距離と略同一の幅の埋め込み層を形成する埋め込み層形成工程と、
前記埋め込み層の両端に前記第2半導体層を形成する第2半導体層形成工程と、
前記埋め込み層を選択的にエッチングする埋め込み層エッチング工程と、
前記第1半導体層上に前記一の導電型の半導体材料からなる第2半導体層を形成し、第1半導体層と第2半導体層とからなる第1半導体層を形成する第1半導体層形成工程と、
を備えることを特徴とする半導体装置の製造方法。

【特許請求の範囲】
【請求項7】 前記半導体材料は、炭化珪素であること
を特徴とする請求項6に記載の半導体装置の製造方法。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、炭化珪素を用いたパワー半導体装置及び半導体装置の製造方法に関する。
【0002】
【従来の技術】 炭化珪素 (SiC) は、絶縁破壊電圧が珪素 (Si) やガリウムヒ素 (GaAs) の約10倍、電子の飽和ドリフト速度がSiの約2倍など優れた物性値を示すため、高耐圧でオン抵抗の低いパワー半導体装置を実現する材料として近年注目されている。パワー半導体装置としては、接合型FET (Junction Field Effect Transistor, 以下JFET)、MOSFET (Metal Oxide Semiconductor Field-Effect Transistor)、ダイオードなど様々なものが提案されている。このうち、ダイオード型半導体装置は電子部品のスイッチング素子として用いる場合、パワー半導体装置をノーマリーオフ型にすることが望ましい。
【0003】
【発明が解決しようとする課題】 しかしながら、SiCからなるパワー半導体装置では、SiCからなる半導体層とSiO₂膜との界面特性の制御が困難であるため、ノーマリーオフ型のMOSFETを製造してもチャネル移動度が低下しオン抵抗が高くなってしまふ。そこで、MOSFETのチャネル移動度をあげるためにチャネル形成部の不純物濃度を高くすることも考えられるが、そうするとMOSFETがノーマリーオン型になってしまう。制御回路が複雑となり回路システム全体としての低消費電力化を図ることができない。
【0004】 本発明は、上記課題を解決するためになされたものであり、オン抵抗が低くノーマリーオフ動作することができ、高耐圧なパワー半導体装置を提供することを目的とする。
【0005】
【課題を解決するための手段】 本発明の第1のパワー半導体装置は、外部からの制御電圧に応じてオンオフするノーマリーオフ型の第1のゲート型半導体素子によりノーマリーオン型の第2のゲート型半導体素子のオンオフを制御してスイッチング動作を行なうパワー半導体装置であって、前記第2のゲート型半導体素子は、炭化珪素の半導体基板に形成され炭化珪素からなり、前記第1のゲート型半導体素子は、前記半導体基板に形成され炭化珪素と異なる材料からなることを特徴とする。
【0006】 本発明の第1のパワー半導体装置では、前記のほとんどもを確保する第2の半導体素子が炭化珪素からなるので、珪素からなり同耐圧のパワー半導体装置と比較して全体としてオン抵抗が低くなっている。また、外部からの制御電圧でオンオフするノーマリーオフ型の第1のゲート型半導体素子でノーマリーオン型の第2の

(19)日本国特許庁 (J P)		(12) 公開特許公報 (A)		(11)特許出願公開番号 特開2002-231820 (P2002-231820A)		(43)公開日 平成14年8月16日 (2002.8.16)	
(51)Int.Cl. ⁷	識別記号	F I	ターボ-T (参考)				
H01 L 21/8234		H01 L 27/00	301A	5F048			
	27/06	29/78	652T	5F102			
	27/00	301	653A	5P110			
	27/088		656C				
	29/788		102A				
		審査請求 未請求 請求項の数 7 O L (全 8 頁)		最終頁に図 1			
(21)出願番号	特開2001-21939(P2001-21939)	(71)出願人	000001889	三洋電機株式会社			
(22)出願日	平成13年1月30日 (2001.1.30)	(72)発明者	山本 哲也	大阪府守口市京阪本通2丁目5番5号			
		(74)代理人	100075258	三洋電機株式会社内			
			弁理士 吉田 研二 (外2名)				

(54) 【発明の名称】 パワー半導体装置及び半導体装置の製造方法

【要約】
【課題】 オン抵抗が低くノーマリーオフ動作することができ、高耐圧なパワー半導体装置を提供すること。
【解決手段】 ノーマリーオン型でSiCからなるJFET 20上にノーマリーオフ型でSiCからなるMOSFET 40を形成し、パワー半導体装置100全体でノーマリーオフ動作しJFET 20部分が耐圧のほとんどを確保できるようにJFET 20とMOSFET 40とを電気的に接続した。こうすると、SiCからなるJFET 20で高耐圧化が可能となるので、Siのみからなる同耐圧のパワー半導体装置と比較して全体としてオン抵抗を低くすることができると共に全体としてノーマリーオフ動作するので回路システム全体としての低消費電力化を図ることができ、



BEST AVAILABLE COPY

ゲート型半導体素子をオンオフできるで、全体として前記電圧に対してノーマリーオフ動作することができ、この結果、回路システム全体としての低消費電力化を図ることができる。

[0007] 本発明の第1のパワー半導体装置において、前記第1のゲート型半導体素子は、前記第2のゲート型半導体素子上に形成されているものとしてもよい。こうすれば、パワー半導体装置の表面積の増加を抑えることができる。

[0008] 本発明の第1のパワー半導体装置は、前記半導体基板の前記第2のゲート型半導体素子の形成面と異なる面側に配置された第1の電極と、前記第2のゲート型半導体素子上に配置され前記第1の電極と対となり前記第2のゲート型半導体素子から前記第1のゲート型半導体素子を介して電流を取り出す第2の電極と、前記第1のゲート型半導体素子のオンオフ制御を行なう第3の電極と、を備えるものとしてもよい。こうすれば、第2の電極間の耐圧の大部分を炭化珪素を材料とするものがゲート型半導体素子と半導体基板とで保持することができ、高耐圧化を図ることができると共にノーマリーオフ動作を実現することができる。

[0009] 本発明の第2のパワー半導体装置は、外部からの制御電圧に応じオンオフするノーマリーオフ型のゲート型半導体素子と、前記ゲート型半導体素子と並列に接続された環流ダイオードとを備えるパワー半導体装置であって、前記環流ダイオードは、炭化珪素の半導体基板に形成され炭化珪素からなり、前記ゲート型半導体素子は、前記半導体基板に形成され炭化珪素と異なる材料からなることを特徴とする。

[0010] 本発明の第2のパワー半導体装置では、ノーマリーオフ型のゲート型半導体素子このゲート型半導体素子と並列接続された環流ダイオードとを備えていて、前記環流ダイオードは、炭化珪素からなる高耐圧領域においてもオン抵抗を低くすることができる。

[0011] 本発明の第2のパワー半導体装置では、前記ゲート型半導体素子は、前記環流ダイオード上に形成されているものとしてもよい。こうすれば、パワー半導体装置の表面積の増加を抑えることができる。

[0012] 本発明の半導体装置の製造方法は、一の電極の半導体材料からなる第1半導体層内に他の半導体材料からなる第2半導体層を形成して第2の半導体層を備える半導体装置の製造方法であって、前記一の半導体材料からなる第1半導体層を形成する第1半導体層形成工程と、前記第1半導体層上に前記第2半導体層と時間一時的に形成する理め込め層を形成する第2半導体層形成工程と、前記理め込み層を形成する第2半導体層形成工程と、前記理め込み層を電気的にエッチングする理め込み層エッチング工程

と、前記第1半導体層上に前記一の半導体型の半導体材料からなる第2半導体層を形成し、第1半導体層と第2半導体層とからなる第1半導体層を形成する第1半導体層形成工程と、を備えることを特徴とする。

[0013] 本発明の半導体装置の製造方法は、イオン注入やアニール処理を行なうことなく一の半導体型の半導体材料からなる第1半導体層内に他の半導体型の第2半導体層を形成することである。

[0014] 本発明の半導体装置の製造方法において、前記半導体材料は、炭化珪素であってもよい。こうすれば、炭化珪素を材料とする半導体装置の製造に通常必要な高温イオン注入や高温アニール処理を行なうことなく、第1半導体層内に第2半導体層を形成することができる。

[0015] [発明の實施の形態] 以下、本実施形態の形態（以下実施形態という）を、図面に使って説明する。尚、各図において同一の機能を果たす構成要件には同一の符号を付し説明を省略する。

[0016] 図1は、本実施形態の800V程度の耐圧を有するパワー半導体装置の1000の構成の概略を示す断面図である。パワー半導体装置100は、半導体基板10に形成されたJFET20と、酸化膜21を介してJFET20上に形成された二つのMOSFET40と、外部から電圧が印加されるゲート端子60、ソース端子62、ドレイン端子64とを備える。尚、説明のため、ゲート端子60に印加される電圧をV_g、ソース端子62に印加される電圧をV_s、ドレイン端子64に印加される電圧をV_dとする。

[0017] 半導体基板10は、多形が4H又は6H、面方位が(0001)又は(000 $\bar{1}$)、off角度が1度〜10度、off方向が[1120]、不純物濃度が10¹⁸ [cm⁻³]程度のn型のSiCからなる数100 [μm]程度の厚さの基板である。尚、半導体基板10は、多形が4H又は6H、面方位(11-20)の基板としてもよい。

[0018] JFET20は、半導体基板10上に形成され不純物濃度が5×10¹⁸ [cm⁻³]程度のn型のSiCからなる厚さが20 μm程度のドリフト層22と、ドリフト層22内にゲート層Wchを形成して配置された二つのゲート層24と、ドリフト層22の表面に形成されたn型のSiCからなるソース領域26とを備える。二つのゲート層24は、厚さが1〜3 μm程度で不純物濃度が3×10¹⁸ [cm⁻³]程度のp型のSiCから形成されている。半導体基板10は、ドレイン領域となっており、ドリフト層22の厚さが560 [V]程度の耐圧を確保できるような形成されている。JFET20においてゲート層24の電圧をV_g、ソース領域26の電圧をV_s、ゲートソース間電圧をV_{gs} (=V_g-V_s)とすると、JFET20の動作は以下

の通りとなる。V_{gs}=等するとき、JFET20は、オン状態となるので半導体基板10とソース領域26との間に電流が流れる。一方、V_{gs}<0であったV_{gs}が所定値より小さいとき、JFET20は、オフ状態となる。即ち、JFET20は、ノーマリーオン型の半導体装置として動作するよう構成されている。

[0019] MOSFET40は、p型のSiからなるエピソード42と、配線層44aを介してJFET20のソース領域26と電気的に接続されたn型のSiからなるドレイン領域44と、配線層46aを介してJFET20のゲート層24と電気的に接続されたn型のSiからなるソース領域46と、酸化珪素(SiO₂)膜48を介してエピソード42上に配置されたゲート電極50とを備え、20 [V]程度の耐圧を有している。MOSFET40は、オン抵抗が十分小さくなるように形成されており、ゲート電極50の電圧をV_{mg}、ソース領域46の電圧をV_{ms}、ゲートソース間電圧をV_{mgs} (=V_{mg}-V_{ms})とすると動作は以下の通りとなる。V_{mgs}=等するとき、MOSFET40は、オフ状態となり、V_{mgs}>0であったV_{mgs}が所定値V_{thm}を超えると、MOSFET40は、オン状態となる。即ち、MOSFET40は、ノーマリーオフ型の半導体装置として動作するよう構成されている。

[0020] 図2は、図1のように構成されたパワー半導体装置100の等価回路図である。パワー半導体装置100の動作は、以下の通りである。ここで、パワー半導体装置100のゲートソース間電圧をV_{gs} (=V_g-V_s)、ドレインソース間電圧をV_{ds}とする。[0021] V_{gs}>V_{thm}でV_{ds}>0のとき、MOSFET40は、オン状態となる。このとき、MOSFET40のオン抵抗は十分に小さいので、MOSFET40のドレイン領域44の電圧がV_s程度になり、JFET20のソース領域26の電圧がV_s程度となる。つまり、JFET20のゲートソース間電圧V_{gs}=等となりJFET20はオン状態となると、ドレイン端子64とソース端子62との間に電流が流れる。このとき、パワー半導体装置100において、SiCの絶縁破壊電圧がSiの約10倍程度であるので、ドリフト層22の厚度を高くし厚みを薄くすることができる。この結果、Siのみから形成される同耐圧のパワー半導体装置と比較して全体としてオン抵抗を低くすることができる。

[0022] 一方、V_{gs}=等するとき、MOSFET40は、オフ状態となり、JFET20のソース領域26の電圧V_sがMOSFET40の耐圧程度まで上昇して、V_{gs}<0となり、JFET20はオフ状態になる。このとき、ソース端子62とドレイン端子64との間の耐圧をほとんどJFET20で確保しているが、SiCは、絶縁破壊電圧がSiの約10倍程度であるため、高耐圧化を図ることができる。

[0023] 以上説明したように、パワー半導体装置100は、ゲート端子60から印加される電圧に応じてMOSFET40がオンオフし、MOSFET40によりJFET20がオンオフを制御され、ノーマリーオフ動作することができ、また、パワー半導体装置100は、耐圧のほとんどをSiCからなるJFET20で確保しているため、オン抵抗を低くすることができる。また、高耐圧化を図ることができる。

[0024] 次に、このようなパワー半導体装置100の製造方法について説明する。図3は、パワー半導体装置100の製造方法のうち、JFET20のドリフト層22内にゲート層24を形成するゲート層形成工程を示すフローチャートであり、図4〜図8は、図3に示した各工程でのJFET20の断面図である。本工程は、半導体基板10上にドリフト層22と同じ材料からなり半導体基板10と同多形の膜をエピソード成長させ第1半導体層22aを形成する工程から始める（ステップS10、図4）。第1半導体層22aの厚さは、JFET20に要求される耐圧に応じて適宜調整される。

[0025] 次に、第1半導体層22a上にCVD（化学気相成長、Chemical Vapor Deposition）法を用いてSiO₂膜を形成した後、図1に示した二つのゲート層24の間に領域に対応するSiO₂膜が積層するようにパターニングし、理め込み層70を形成する（ステップS2、図5）。そして、CVD法を用いてゲート層24と同じ材料からなる膜をエピソード成長させた後、表面を研磨して平坦化しゲート層24を形成する（ステップS14、図6）。

[0026] その後、ゲート層24より理め込み層70のほうが速くエッチングされる条件下で、例えば、フッ酸を用いたエッチングを行ない、理め込み層70を選択的に除去する（ステップS16、図7）。このとき、RIE（反応性イオンエッチング、Reactive Ion etching）法を用いて理め込み層70を選択的に除去してもよい。

[0027] 次に、露出している第1半導体層22a上にドリフト層22と同じ材料からなり半導体基板10と同多形の膜をエピソード成長させ第2半導体層22bを形成する（ステップS18、図8）。その後、研磨により表面を平坦化し、第1半導体層24aと第2半導体層24bとからなるドリフト層24が形成される。図3に示したゲート層形成方法を用いると、高温イオン注入や高圧アニール処理を行なうことなくドリフト層22内にドリフト層と導電型の異なるゲート層24を形成することができ、尚、ドリフト層22内にゲート層24を形成した後、イオン注入法を用いてソース領域26を形成しJFET20が完成する。その後、SiO₂膜21を形成した後、SiCからなる半導体基板を製造する際によく用いられる方法により、SiO₂膜21上にMOSFET40と配線層44a、46aを形成し、図1に示した

